**بـــــــــــــــــــــســمـــــه تـــــــــــــــــعــــــالــــــــــــــــــــــــــی**

**آزمایش1 : توصیف مدار های پایه آزمایش ها و انجام شبیه سازی**

نام و نام خانوادگی: هلیا سادات هاشمی پور - روژینا کاشفی شماره دانشجویی: 9831106-9831118

نام استاد: استاد خجسته دانا تاریخ: 26 اسفند 1399

**هدف آزمایش:**

آشنايی با نحوه مدل کردن مدارهاي پايه آزمايشها در زبان VHDL و معرفی ساختارهاي همروند

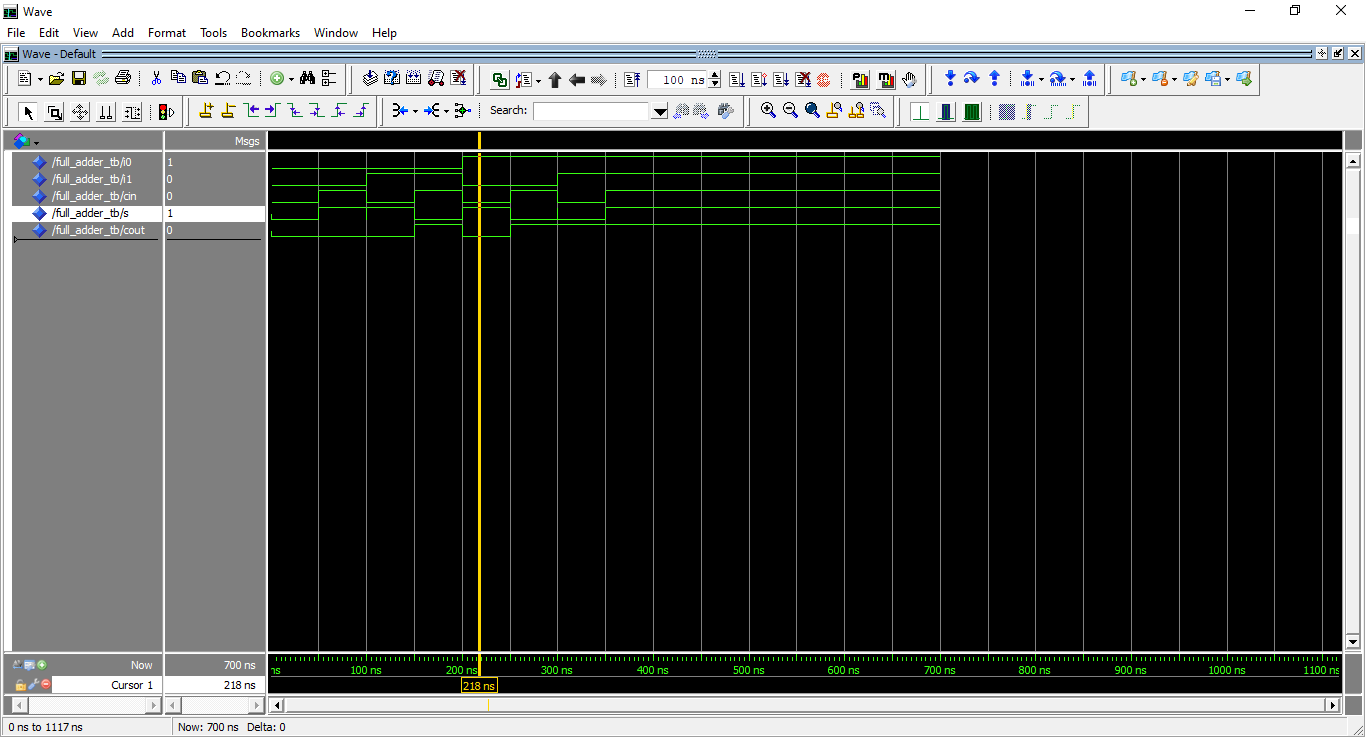
**شرح آزمایش:**

در این آزمایش از ما خواسته شده است که با توجه به کد های موجود در دستور کار، Test Bench مربوط به Full Adder (تمام جمع کنند)را بنویسیم.

full adder (تمام جمع کننده) سه بیت را با هم جمع می کند و حاصل جمع (s)و رقم نقلی) (cout را تولید می کند.

* جدول درستی تمام جمع کننده به شکل زیر می باشد.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Output | | Input | | |
| Cout | S | Cin | i1 | i0 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 |

حال با توجه به تست بنچ نوشته شده نمودار به صورت زیر می باشد .

همان طور که مشاهده می کنیم با توجه به جدول درستی می توان به درستی خروجی های حاصل در

نرم افزار، پی برد.